

PATENT

Customer No.31561
Docket No.: 9736-US-PA

1763

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hippo Wu et al.

Application No. : 10/065,383

Filed : October 11, 2002

For : FRONT OPENING UNIFIED POD DOOR OPENER WITH
DUST-PROOF DEVICE

Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place

Crystal Plaza Two, Lobby, Room 1B03

Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:91122802,
filed on:2002/10/03.

A return prepaid postcard is also included herewith.

Respectfully Submitted,

JIANQ CHYUN Intellectual Property Office

Dated: Sept 18, 2003

By:

Belinda Lee
Belinda Lee

Registration No.: 46,863

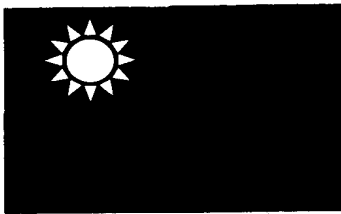
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 03 日
Application Date

申請案號：091122802
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

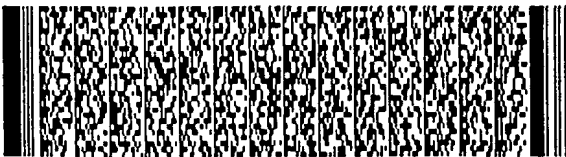
發文日期：西元 2003 年 9 月 10 日
Issue Date

發文字號：09220915860
Serial No.

申請日期：	案號：
類別：	
(以上各欄由本局填註)	

發明專利說明書

一、 發明名稱	中 文	畫素結構及其製造方法
	英 文	Pixel Structure and Fabricating Method thereof
二、 發明人	姓 名 (中文)	1. 來漢中
	姓 名 (英文)	1. Han-Chung Lai
	國 籍	1. 中華民國
	住、居所	1. 桃園縣中壢市內壢成功路122巷63弄20號
三、 申請人	姓 名 (名稱) (中文)	1. 友達光電股份有限公司
	姓 名 (名稱) (英文)	1. Au Optonics Corporation
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路一號
	代表人 姓 名 (中文)	1. 李焜耀
	代表人 姓 名 (英文)	1. Kun-Yao Lee

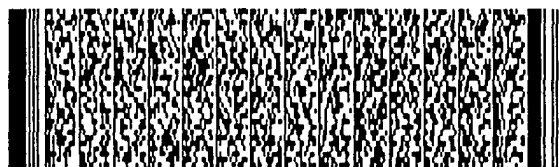


四、中文發明摘要 (發明之名稱：畫素結構及其製造方法)

一種畫素結構及其製造方法，此方法係首先在一基板上形成一閘極。接著在基板上形成一絕緣層覆蓋住閘極。之後在閘極上方之絕緣層上形成一通道層。並且在通道層上形成一源極/汲極，以構成一薄膜電晶體。繼之，在基板上形成一保護層覆蓋住薄膜電晶體，並且在保護層上形成一光阻層。然後以閘極、源極/汲極為罩幕，進行一背面曝光製程以及一顯影製程，以圖案化光阻層。接著以此光阻層為一蝕刻罩幕圖案化保護層與絕緣層，並使源極/汲極之一側壁暴露出來。將移除光阻層之後，在保護層上形成一畫素電極，其中畫素電極係藉由汲極之側壁而與汲極電性連接。

英文發明摘要 (發明之名稱：Pixel Structure and Fabricating Method thereof)

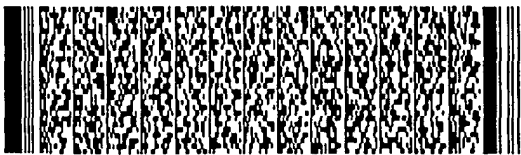
A method of fabricating a pixel structure. A gate is formed on a substrate, and an insulating layer is formed on the substrate covering the gate. A channel is formed on the insulating layer above the gate, and a source/drain is formed on the channel for forming a thin film transistor. Then, a passivation layer is formed on the substrate covering the thin film transistor, and a photoresist layer is formed on the passivation layer. A back exposure process is performed to



四、中文發明摘要 (發明之名稱：畫素結構及其製造方法)

英文發明摘要 (發明之名稱：Pixel Structure and Fabricating Method thereof)

pattern the photoresist layer, and an etching process is performed to pattern the passivation layer and the insulating by using the photoresist layer as a mask, wherein one sidewall of the source/drain is exposed. After the photoresist layer is removed, a pixel electrode is formed on the passivation layer, wherein the pixel electrode is electronically connected with the exposed sidewall of the drain.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

本發明是有關於一種半導體元件之結構及其製造方法，且特別是有關於一種薄膜電晶體液晶顯示器(Thin Film Transistor Liquid Crystal Display, TFT-LCD)之畫素結構及其製造方法。

薄膜電晶體液晶顯示器主要由薄膜電晶體陣列基板、彩色濾光陣列基板和液晶層所構成，其中薄膜電晶體陣列基板是由多個以陣列排列之薄膜電晶體，以及與每一薄膜電晶體對應配置之一畫素電極(Pixel Electrode)所組成。而上述之薄膜電晶體係包括閘極、通道層、汲極與源極，薄膜電晶體係用來作為液晶顯示單元的開關元件。

薄膜電晶體元件的操作原理與傳統的半導體MOS元件相類似，都是具有三個端子(閘極、汲極以及源極)的元件。通常薄膜電晶體元件可分成非晶矽與多晶矽材質兩種類型。其中，非晶矽薄膜電晶體是屬於較為成熟之技術。就非晶矽薄膜電晶體液晶顯示器而言，其製造流程大致包括在基板上形成閘極、通道層、源極/汲極、畫素電極以及保護層。而其中如何減少製程中所使用光罩的數目以及提高其製程良率等等，皆為非晶矽薄膜電晶體有待努力的課題。

第1A圖至第1E圖所示，其繪示為習知一種薄膜電晶體液晶顯示器之畫素結構的製造流程剖面示意圖。習知的製程包括了五道光罩製程。

首先，請先參照第1A圖，於一基底100上形成一金屬層，並且藉由一第一道光罩製程，以定義出一閘極102之



五、發明說明 (2)

位置。之後，於基底100上全面性的沈積一絕緣層104，覆蓋住閘極102。其中，覆蓋在閘極102上之絕緣層104係做為一閘極絕緣層之用。

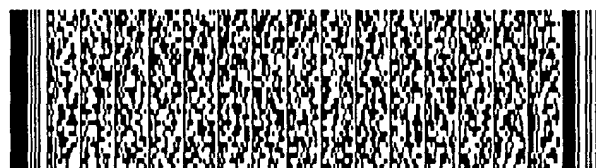
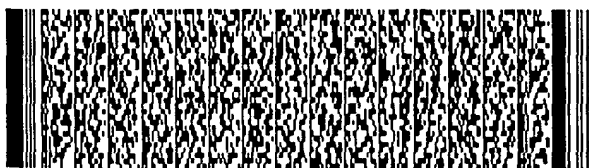
接著，請參照第1B圖，於絕緣層104上形成一非晶矽層材質層(未繪示)，並且藉由一第二道光罩製程，以定義出一通道層106之位置。其中，所形成之通道層106係位於閘極102上方的閘極絕緣層104上。而且，在通道層106之表面上更包括形成有一歐姆接觸層(未繪示)。

繼之，請參照第1C圖，在基板100之上方形形成另一金屬層(未繪示)，並且藉由一第三道光罩製程圖案化金屬層，而形成源極/汲極108b/108a。在此，更同時將通道層106之部分厚度移除。

之後，請參照第1D圖，在基板100之上方形形成一保護層110，覆蓋住源極/汲極108b/108a，並且以一第四道光罩製程，圖案化保護層110，而於保護層110中形成一開口112，暴露出汲極108a。

最後，請參照第1E圖，在保護層110上與開口112中形成一銦錫氧化物電極層，並且藉由一第五道光罩製程，而將銦錫氧化物層定義成畫素電極114之圖案。其中，畫素電極114與汲極108a之間係藉由開口112而電性連接。

在上述習知的製程中，總共包括了五道光罩製程。然而，由於每一道光罩製程皆須經由去水烘烤、塗底、上光阻、軟烤、曝光、曝光後烘烤、顯影、硬烤以及蝕刻等等步驟，因此每增加一光罩製程，便會增加許多成本。而



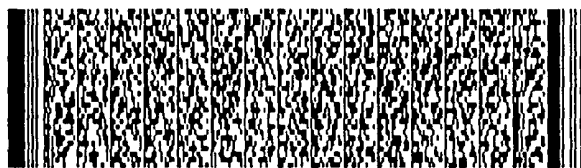
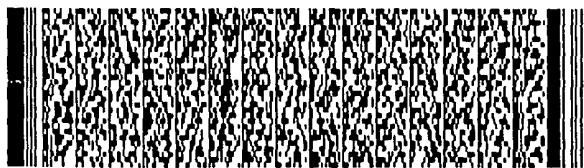
五、發明說明 (3)

且，每經由上述去水烘烤、塗底等等步驟之後，對產品量產之良率而言也會相對受到影響。

因此，本發明的目的就是在提供一種畫素結構及其製造方法，以降低畫素結構製程所需之光罩數。

本發明的另一目的是提供一種畫素結構及其製造方法，以使畫素結構之製程更為簡化，並降低其製造成本。

本發明提出一種畫素結構的製造方法，此方法係首先在一基板上形成一閘極以及與閘極連接之一掃瞄配線。接著，在基板上形成一絕緣層，並覆蓋住閘極與掃瞄配線。之後，在閘極上方之絕緣層上形成一通道層。然後，在通道層上形成一源極/汲極，以構成一薄膜電晶體，在此，更同時在絕緣層上形成與源極/汲極連接之一資料配線。另外，於形成源極/汲極的同時，更包括在與掃瞄配線相鄰之另一掃瞄配線之上方形形成一導電層，其中此導電層、此掃瞄配線以及形成在導電層與掃瞄配線之間之絕緣層係構成一畫素儲存電容器。繼之，在基板上形成一保護層，覆蓋住薄膜電晶體，並且在保護層上形成一光阻層。然後，以閘極、源極/汲極、掃瞄配線、資料配線以及導電層為一罩幕，進行一背面曝光製程以及一顯影製程，以圖案化光阻層。接著，以此光阻層為一蝕刻罩幕圖案化保護層與絕緣層，並使源極/汲極之一側壁以及導電層之一側壁暴露出來。之後，移除光阻層。然後，在保護層上形成一畫素電極，其中畫素電極係藉由汲極之側壁而與汲極電性連接。而且，此導電層之側壁也與畫素電極電性連接，



五、發明說明 (4)

以使此導電層與畫素電極之間具有相同之電位。除此之外，本發明還包括在保護層中形成一開口，暴露出汲極，其中畫素電極與汲極之間係藉由開口以及汲極之側壁而與汲極電性連接。

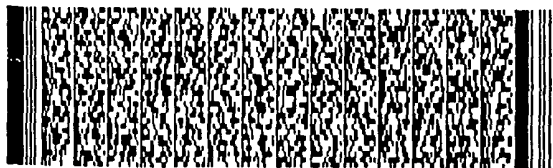
本發明提出一種畫素結構的製造方法，此方法係首先在一基板上形成一閘極以及與此閘極連接之一掃瞄配線。接著，在基板上形成一絕緣層，覆蓋閘極與掃瞄配線。之後，在絕緣層上形成一通道材質層，在通道材質層上形成一金屬層，並且在金屬層上形成圖案化之一第一光阻層。繼之，以第一光阻層為一罩幕圖案化金屬層，以定義出一資料配線以及一源極/汲極金屬層。接著再以第一光阻層為一罩幕圖案化通道材質層以定義出一通道層。然後又再以第一光阻層為一罩幕圖案化源極/汲極金屬層，以定義出一源極/汲極，其中源極係與資料配線電性連接，且閘極、通道層以及源極/汲極係構成一薄膜電晶體。另外，於形成源極/汲極的同時，更包括在與掃瞄配線相鄰之另一掃瞄配線之上方形形成一導電層，其中此導電層、此掃瞄配線以及形成在導電層與掃瞄配線之間之絕緣層係構成一畫素儲存電容器。繼之，移除第一光阻層。然後在基板上形成一保護層，覆蓋住薄膜電晶體。之後，再於保護層上形成一第二光阻層，並且以閘極、源極/汲極、掃瞄配線、資料配線以及導電層為罩幕，進行一背面曝光製程以及一顯影製程，以圖案化第二光阻層。接著，以第二光阻層為一蝕刻罩幕圖案化保護層與絕緣層，並同時使源極/



五、發明說明 (5)

汲極之一側壁以及導電層之一側壁暴露出來。之後，移除第二光阻層。然後，在保護層上形成一畫素電極，其中畫素電極係藉由汲極之側壁而與汲極電性連接。而且，此導電層之側壁也與畫素電極電性連接，以使此導電層與畫素電極之間具有相同之電位。除此之外，本發明還包括在保護層中形成一開口，暴露出汲極，其中畫素電極與汲極之間係藉由開口以及汲極之側壁而與汲極電性連接。

本發明提出一種畫素結構，其係適於架構在一基板上，此畫素結構包括一薄膜電晶體、一絕緣層、一保護層與一畫素電極，且此畫素結構係由一掃描配線與一資料配線所控制。其中，此薄膜電晶體係配置在基板上，且此薄膜電晶體包括一閘極、一通道層以及一源極/汲極。而掃描配線係配置在基板上，且掃描配線係與閘極電性連接。資料配線係配置在基板上，且資料配線係與源極電性連接。另外，絕緣層則僅是配置在配置有閘極、源極/汲極、資料配線與掃描配線處之基板上方，而且絕緣層係覆蓋在閘極與掃描配線之表面。保護層亦是僅配置在配置有閘極、源極/汲極、資料配線與掃描配線處之基板上方，而且保護層係覆蓋在源極/汲極與資料配線之表面，其中源極/汲極之一側壁係暴露出來。此外，畫素電極係配置在基板之上方，其中此畫素電極係對應此薄膜電晶體配置，且此畫素電極係與此薄膜電晶體之汲極之側壁電性連接。此外，本發明之畫素結構更包括一導電層，其係配置在與上述之掃描配線相鄰之另一掃描配線之上方，且此導



五、發明說明 (6)

電層、此掃瞄配線以及位於導電層與掃瞄配線之間之絕緣層係構成一畫素儲存電容器。而且，此導電層之側壁係與畫素電極電性連接，以使此導電層與畫素電極之間具有相同之電位。除此之外，本發明還包括在一導電結構，配置在保護層中，其中畫素電極與汲極之間係藉由導電結構以及汲極之側壁而與汲極電性連接。

本發明之畫素結構的製造方法，由於其圖案化保護層之方法係直接利用金屬材質層(包括閘極、源極/汲極)作為曝光罩幕，因此較習知之方法可省去一道光罩製程。

本發明之畫素結構，其薄膜電晶體之汲極與畫素電極之間除了藉由保護層中之開口而電性連接之外，還可以直接藉由暴露出的汲極之側壁而與畫素電極電性連接。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之標示說明：

100、200、300：基板

102、202a、302a：閘極

104、204、204a、304、304a：絕緣層

106、206、206a、306、306a：通道層

108a/108b、208a/208b、308a/308b：源極/汲極

110、210、210a、310、310a：保護層

112、220、320：開口

114：畫素電極



五、發明說明 (7)

202、302：掃瞄配線

202b、208d、302b：金屬鉀墊

208、308：資料配線

208c：導電層

211：薄膜電晶體

212、212a、309、309a、312、312a：光阻層

214、314：曝光光源

216、316：畫素電極

305、306a：通道材質層

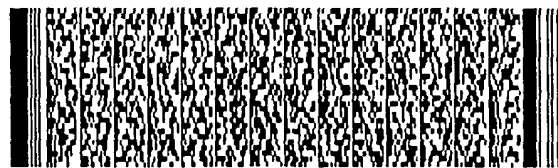
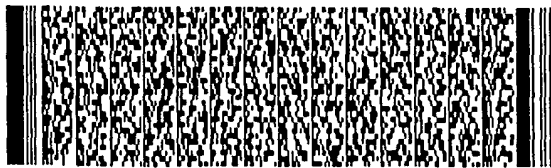
307：金屬層

308e：源極/汲極金屬層

第一實施例

第2圖所示，其繪示為依照本發明一第一實施例之薄膜電晶體液晶顯示器之畫素結構上視簡圖；第3A圖至第3H圖所示，其繪示係為第2圖中由I-I'之剖面示意圖。

請同時參照第2圖與第3A圖，首先提供一基板200，其中基板200例如是一玻璃基板或一透明塑膠基板。接著，於基板200上沈積一層厚度約為數千埃的金屬層(未繪示)。其中，形成金屬層之方法例如是濺鍍法，而且此金屬之材質可以是鈹、鈦或鋁金屬等導體。之後，藉由一第一道光罩製程圖案化此金屬層，以定義出掃瞄配線202、閘極202a與金屬鉀墊202b之位置。其中，每一掃瞄配線202延伸至基板200邊緣處係定義成金屬鉀墊202b，其於後續係用來與驅動晶片作連接。



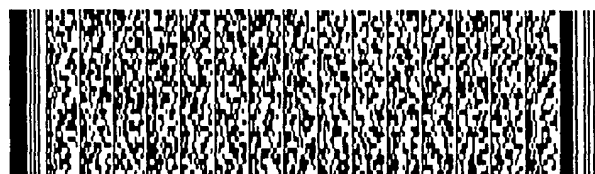
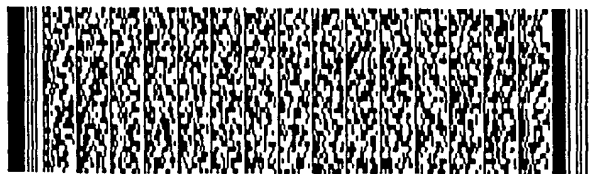
五、發明說明 (8)

接著，於基板200上全面性的形成一絕緣層204，覆蓋住閘極配線202、閘極202a與金屬鉀墊202b。其中，形成絕緣層204之方法例如是以電漿化學氣相沈積法沈積一氮化矽層或是一氧化矽層。而形成於閘極202a上之絕緣層204係作為一閘極絕緣層之用。

之後，請參照第3B圖，在絕緣層204上形成一通道材質層(未繪示)，並且藉由一第二道光罩製程圖案化此通道材質層，以定義出一通道層206之位置。其中，所形成之通道層206係位於閘極202a上方的閘極絕緣層204上。而且，在通道層206之表面上更包括形成有一歐姆接觸層(未繪示)。通道層206之材質例如是非晶矽(a-Si)，而歐姆接觸層之材質例如是經摻雜之非晶矽(n+-Si)。

然後，請參照第2圖與第3C圖，在基板200之上方形形成另一金屬層(未繪示)，其中金屬層之材質例如是鉻金屬。之後，藉由一第三道光罩製程圖案化金屬層，而形成資料配線208、源極/汲極208a/208b、導電層208c與金屬鉀墊208。在此步驟中，更包括同時將通道層206之部分厚度移除。另外，於圖案化金屬層時可同時於汲極208a中定義出一開口220，用以使後續所形成之畫素電極能與汲極208a電性連接。在本實施例中，汲極208a中之開口220可選擇性的形成。換言之，本發明亦可選擇性的不在汲極208a中形成開口220。

在上述步驟完成之後，所形成之閘極202a、通道層206與源極/汲極208a/208b係構成一薄膜電晶體211。另



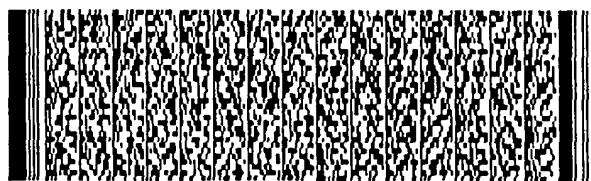
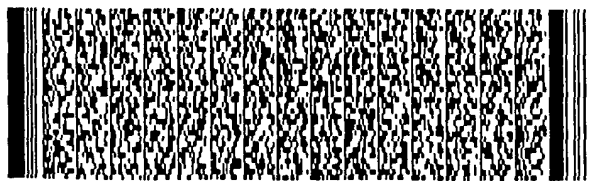
五、發明說明 (9)

外，所形成之資料配線208延伸至基板200邊緣處係定義成金屬鉀墊208d，其於後續係用來與驅動晶片作連接。再者，所形成之導電層208c與配置在其下方之掃描配線202，以及配置在導電層208c與掃描配線202之間之絕緣層204係構成一畫素儲存電容器結構。

繼之，請參照第3D圖，在基板200之上方全面性的形成一保護層210，覆蓋住薄膜電晶體211。而形成保護層210之方法例如是以電漿化學氣相沈積的方式沈積一氮化矽層。接著，於保護層210上形成一層光阻層212。

緊接著，請參照第3E圖，利用金屬材質之掃描配線202、閘極202a、資料配線208、源極/汲極208a/208b、導電層208c與金屬鉀墊202b、208d做為一曝光罩幕，進行一背面曝光光製程214，此背面曝光製程214之曝光光源係由基板200之背面射入。之後，進行一顯影製程，以使光阻層212圖案化，而形成圖案化之光阻層212a。

之後，請參照第3F圖，以圖案化之光阻層212a為一蝕刻罩幕進行一蝕刻步驟，以移除未被光阻層212a覆蓋之保護層210與絕緣層204，而形成圖案化之保護層210a與圖案化之絕緣層204a。值得注意的是，在此蝕刻步驟之後，先前作為曝光罩幕之部分金屬材質層之側壁(包括源極/汲極208a/208b之側壁)也同時會被暴露出來。換言之，對整個汲極208a圖案而言，其外側側壁將會被暴露出來。另外，倘若汲極208a中形成有開口220，則開口220內側周圍之側壁也同樣的都會被暴露出來。



五、發明說明 (10)

特別值得一提的是，此步驟並不需要特別製作一光罩，而是直接以金屬材質之掃描配線202、閘極202a、資料配線208、源極/汲極208a/208b、導電層208c與金屬鉀墊202b、208c做為一曝光罩幕。因此，利用本發明之方法較習知之方法可省去用來圖案化保護層之光罩設計。

然後，請同時參照第2圖、第3G圖與第3H圖，將光阻層212a移除之後，在保護層210a上形成一透明電極層(未繪示)。其中，形成此透明電極層之方法例如是以濺鍍法形成一層厚度約為1000埃之銦錫氧化物層。接著，利用一第四道光罩圖案化此透明電極層，以定義出畫素電極216之位置。其中，所形成之畫素電極216包括覆蓋在汲極208a之上方。

在此，由於在先前步驟中，汲極208a圖案之側壁已被暴露出來，因此此畫素電極216可藉由暴露的汲極208a之側壁而與汲極208a電性連接。同樣的，在金屬鉀墊202b、208d亦可藉由被暴露出之側壁，而使金屬鉀墊202b、208d與形成在金屬鉀墊202b、208d上方之透明電極層電性連接。

另外，此畫素結構之畫素儲存電容器之剖面圖如第4圖所示，第4圖係為第2圖中由II-II'之某面示意圖。在此，掃描配線202係作為畫素儲存電容器之下電極，導電層208c係作為畫素儲存電容器之上電極，而介於掃描配線202與導電層208c之間之絕緣層204a係作為畫素儲存電容器之電容介電層。而由於保護層210a與絕緣層204a已在先



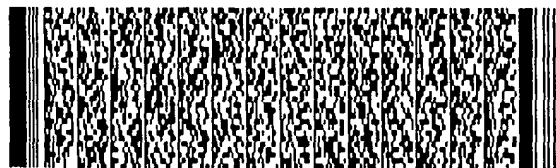
五、發明說明 (11)

前步驟中圖案化，且在此同時，導電層208c之一側壁因此被暴露出來。因此，導電層208c與畫素電極216之間便是透過暴露的導電層208c側壁而電性連接，以使作為畫素儲存電容器上電極之導電層208c與畫素電極216之間具有相同之電位。

本實施例之畫素結構包括一基板200、一薄膜電晶體211、一畫素電極216、一導電層208c、一圖案化之絕緣層204a以及一圖案化之保護層210a。且此畫素結構係由一資料配線208與一掃瞄配線202所控制。

其中，薄膜電晶體211係配置在基板200上，且薄膜電晶體211係包括一閘極202a、一通道層206及一源極/汲極208a/208b。閘極202a係與掃瞄配線202連接，且閘極202a與通道層206之間係藉由圖案化之絕緣層204a而電性隔離。而源極/汲極208a/208b係與資料配線208連接，且其係配置在通道層206上方。另外，圖案化之保護層210a係覆蓋在薄膜電晶體211之上方，用以保護薄膜電晶體211。而導電層208c係配置在此畫素結構前一條或後一條掃瞄配線202上方之絕緣層204a上，而導電層208c、絕緣層204a與配置在導電層208c下方之掃瞄配線202，係構成此畫素結構之一畫素儲存電容器。

在本發明之畫素結構中，僅在配置有金屬材質層之處，其包括配置有閘極202a、源極/汲極208a/208b、導電層208c、資料配線208、掃瞄配線202與金屬鉀墊202b、208d之處才覆蓋有保護層210a與絕緣層204a。而且，部分



五、發明說明 (12)

金屬材質層之側壁會被暴露出來。

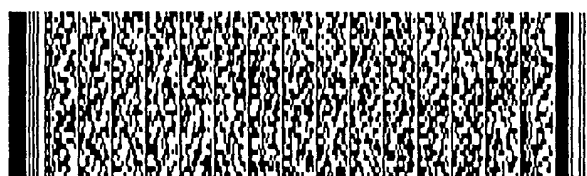
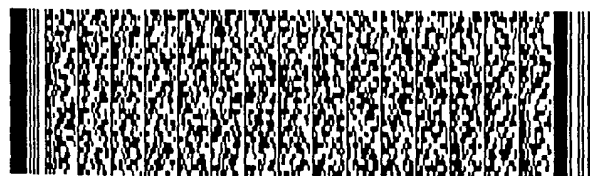
另外，在保護層210a上還包括配置有一畫素電極216。其中，此畫素電極216係藉由暴露的汲極208a之側壁，而與汲極208a電性連接。而且，配置在導電層208c上方之畫素電極216，也同樣的藉由暴露的導電層208c之側壁，而與導電層208c電性連接。除此之外，本發明還包括一導電結構220，配置在保護層210a中，其中畫素電極216與汲極208a之間係藉由導電結構220以及汲極208a之側壁而與汲極208a電性連接。

第二實施例

第5圖所示，其繪示為依照本發明一第二實施例之薄膜電晶體液晶顯示器之畫素結構上視簡圖；第6A圖至第6J圖所示，其繪示係為第5圖中由I-I'之剖面示意圖。

請同時參照第5圖與第6A圖，首先提供一基板300，其中基板300例如是一玻璃基板或一透明塑膠基板。接著，於基板300上沈積一層厚度約為數千埃的金屬層(未繪示)。其中，形成金屬層之方法例如是濺鍍法，而且此金屬之材質可以是鈹、鈦或鋁金屬等導體。之後，藉由一第一道光罩製程圖案化此金屬層，以定義出掃描配線302、閘極302a與金屬鉀墊302b之位置。其中，每一掃描配線302延伸至基板300邊緣處係定義成金屬鉀墊302b，其於後續係用來與驅動晶片作連接。

接著，於基板300上全面性的形成一絕緣層304，覆蓋住閘極配線302、閘極302a與金屬鉀墊302b。其中，形成



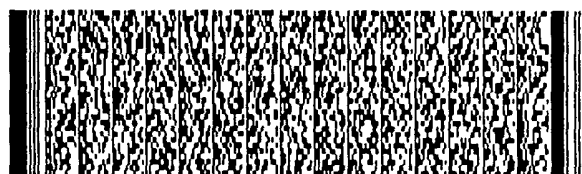
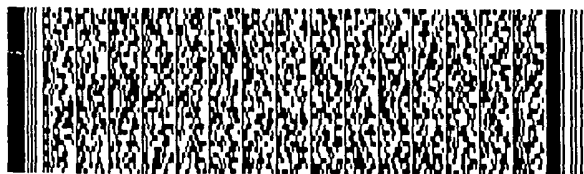
五、發明說明 (13)

絕緣層304之方法例如是以電漿化學氣相沈積法沈積一氮化矽層或是一氧化矽層。而形成於閘極302a上之絕緣層304係作為一閘極絕緣層之用。

之後，請參照第6B圖，在絕緣層304上依序形成一通道材質層305以及一金屬層307。在本實施例中，通道材質層305之表面上更包括形成有一歐姆接觸層(未繪示)。其中，通道材質層305之材質例如是非晶矽($a\text{-Si}$)，而歐姆接觸層之材質例如是經摻雜之非晶矽($n\text{+}\text{-Si}$)。金屬層307之材質例如是鉻金屬。

之後，在金屬層307上形成一圖案化之光阻層309，其中光阻層309係藉由一第二道光罩製程而圖案化，而且此圖案化之光阻層309對應於形成有閘極302a之處之厚度，較對應預定形成資料配線、源極/汲極、導電層與金屬鉀墊之處的厚度薄。

繼之，請參照第5圖與第6C圖，以光阻層309為一蝕刻罩幕圖案化金屬層307，以定義出資料配線308、導電層308c、金屬鉀墊308d與源極/汲極金屬層308e之位置。其中，源極/汲極金屬層308e係為預定形成源極/汲極兩電極之處。另外，於圖案化金屬層307時可同時於在源極/汲極金屬層308e中定義出一開口320，以於後續用來使汲極能與所形成之畫素電極電性連接。在本實施例中，開口320可選擇性的形成。換言之，本發明亦可選擇性的不形成開口320。再者，所形成之資料配線308延伸至基板300邊緣處係定義成金屬鉀墊308d，其於後續係用來與驅動晶片作



五、發明說明 (14)

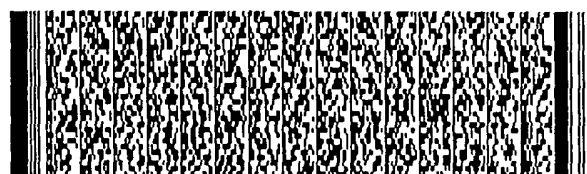
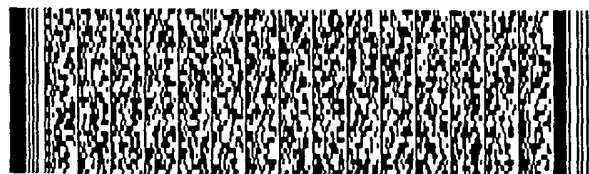
連接。此外，所形成之導電層308c與配置在其下方之掃瞄配線302，以及配置在導電層308c與掃瞄配線302之間之絕緣層304係構成一畫素儲存電容器結構。

接著，請參照第6D圖，再次以光阻層309為一蝕刻罩幕圖案化通道材質層305，以定義出通道層306之位置。在此，雖資料配線308等其他非通道層308處之底下也會保留有部分通道材質層306a，但其存在並不會對元件有不良之影響。而且，在此蝕刻步驟中會將同時光阻層309之部分厚度移除，而形成光阻層309a。其中，光阻層309a係暴露出閘極302a上方之源極/汲極金屬層308e。

之後，請參照第5圖與第6E圖，以光阻層309a為一蝕刻罩幕進行一蝕刻步驟圖案化源極/汲極金屬層308e，以定義出源極/汲極308a/308b兩電極之圖案。在此，此蝕刻步驟更包括將閘極302a上方之通道層306的部分厚度移除。在上述步驟完成之後，所形成之閘極302a、通道層306與源極/汲極308a/308b係構成一薄膜電晶體311。

然後，請參照第6F圖，將光阻層309a移除。接著，在基板300之上方全面性的形成一保護層310，覆蓋住薄膜電晶體311。在本實施例中，形成保護層310之方法例如是以電漿化學氣相沈積的方式沈積一氮化矽層。之後，於保護層310上形成一層光阻層312。

緊接著，請參照第6G圖，利用金屬材質之掃瞄配線302、閘極302a、資料配線308、源極/汲極308a/308b、導電層308c與金屬鉀墊302b、308d做為一曝光罩幕，進行一



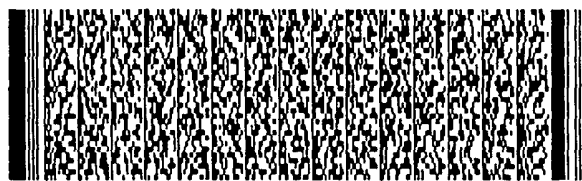
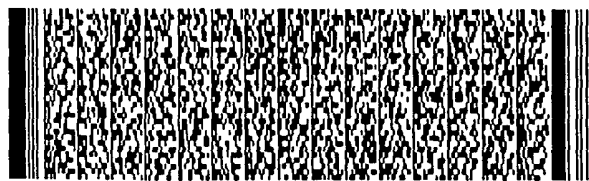
五、發明說明 (15)

背面曝光光製程314，此背面曝光製程314之曝光光源係由基板300之背面射入。之後，進行一顯影製程，以使光阻層312圖案化，而形成圖案化之光阻層312a。

之後，請參照第6H圖，以圖案化之光阻層312a為一蝕刻罩幕進行一蝕刻步驟，以移除未被光阻層312a覆蓋之保護層310與絕緣層304，而形成圖案化之保護層310a與圖案化之絕緣層304a。值得注意的是，在此蝕刻步驟之後，作為曝光罩幕之部分金屬材質層之側壁(包括源極/汲極308a/308b之側壁)也同時會被暴露出來。換言之，對整個汲極308a圖案而言，其外側側壁將會被暴露出來。另外，倘若汲極308a中形成有開口320，則開口320內側周圍之側壁也同樣的會被暴露出來。

特別值得一提的是，此步驟並不需要特別製作一光罩，而是直接以掃描配線302、閘極302a、資料配線308、源極/汲極308a/308b、導電層308c與金屬鐳墊302b、308d做為曝光罩幕。因此，利用本發明之方法較習知之方法可省去用來圖案化保護層之光罩設計。

然後，請同時參照第5圖、第6I圖與第6J圖，將光阻層312a移除之後，在保護層310a上形成一透明電極層(未繪示)。其中，形成此透明電極層之方法例如是以濺鍍法形成一層厚度約為1000埃之銦錫氧化物層。接著，利用一第三道光罩圖案化此透明電極層，以定義出畫素電極316之位置。其中，所形成之畫素電極316包括覆蓋在汲極308a之上方。



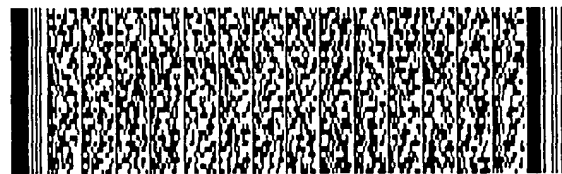
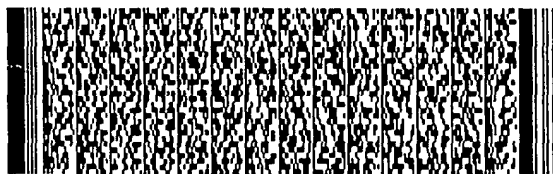
五、發明說明 (16)

在此，由於在先前步驟中，汲極308a之側壁已被暴露出來，因此此畫素電極316可藉由暴露的汲極308a之側壁而與汲極308a電性連接。同樣的，在金屬鉀墊302b、308d亦可藉由被暴露出之側壁，而使金屬鉀墊302b、308d與形成在金屬鉀墊302b、308d上方之透明電極層電性連接。

另外，此畫素結構之畫素儲存電容器之剖面圖如第7圖所示，第7圖係為第5圖中由II-II'之某面示意圖。掃瞄配線302係作為畫素儲存電容器之下電極，導電層308c係作為畫素儲存電容器之上電極，而介於掃瞄配線302與導電層308c之間之絕緣層304a係作為畫素儲存電容器之電容介電層。而由於保護層310a與絕緣層304a已在先前步驟中圖案化，在此同時，導電層308c與掃瞄配線302之一側壁因此被暴露出來。而導電層308c與畫素電極316之間便是透過導電層308c之側壁而電性連接，以使作為畫素儲存電容器上電極之導電層308c與畫素電極316具有相同之電位。

本實施例之畫素結構包括一基板300、一薄膜電晶體311、一畫素電極316、一導電層308c、一圖案化之絕緣層304a以及一圖案化之保護層310a。且此畫素結構係由一資料配線308與一掃瞄配線302所控制。

其中，薄膜電晶體311係配置在基板300上，且薄膜電晶體311係包括一閘極302a、一通道層306及一源極/汲極308a/308b。閘極302a係與掃瞄配線302連接，且其與通道層306之間係藉由圖案化之絕緣層304a而電性隔離。而源



五、發明說明 (17)

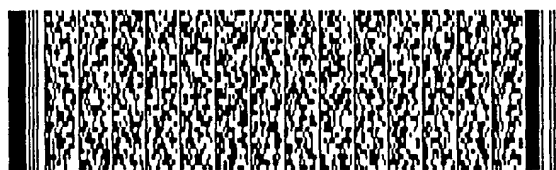
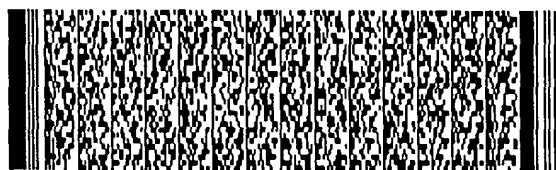
極/汲極308a/308b係與資料配線308連接，且係配置在通道層306上方。另外，圖案化之保護層310a係覆蓋在薄膜電晶體311之上方，用以保護薄膜電晶體311。而導電層308c係配置在此畫素結構前一條或後一條掃描配線302上方之絕緣層304a上，而導電層308c、絕緣層304a與配置在導電層308c下方之掃描配線302，係構成此畫素結構之一畫素儲存電容器。

在本發明之畫素結構中，僅在配置有金屬材質層之處，其包括配置有閘極302a、源極/汲極308a/308b、導電層308c、資料配線308、掃描配線302與金屬鉀墊302b、308d之處才覆蓋有保護層310a與絕緣層304a。而且部分金屬材質層之側壁會被暴露出來。

另外，在保護層310a上還包括配置有一畫素電極316。其中，畫素電極316係藉由暴露的汲極308a之側壁，而與汲極308a電性連接。而配置在導電層308c上方之畫素電極316，也同樣的藉由暴露的導電層308c之側壁，而與導電層308c電性連接。除此之外，本發明還包括一導電結構320，配置在保護層310a中，其中畫素電極316與汲極308a之間係藉由導電結構320以及汲極308a之側壁而與汲極308a電性連接。

本發明之畫素結構的製造方法，由於其圖案化保護層之方法係直接利用金屬材質層(包括閘極、源極/汲極)作為曝光罩幕，因此較習知之方法可省去一道光罩製程。

本發明之畫素結構，其薄膜電晶體之汲極與畫素電極

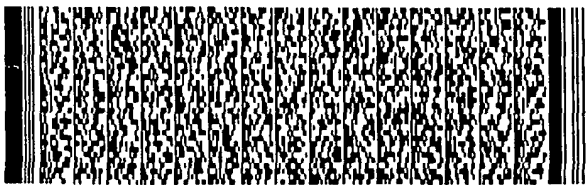


五、發明說明 (18)

之間除了藉由保護層中之開口而電性連接，還可以直接藉由暴露出的汲極之側壁而與畫素電極電性連接。

本發明之實施例係列舉兩種薄膜電晶體製程以詳細說明之。然而，本發明並非限定僅能用在此兩種薄膜電晶體製程。本發明可應用在任何形式結構之薄膜電晶體製程，例如於通道層上具有蝕刻終止層設計之薄膜電晶體製程等等。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1E圖為習知一種薄膜電晶體液晶顯示器之畫素結構的製造流程剖面示意圖；

第2圖是依照本發明一第一實施例之薄膜電晶體液晶顯示器之畫素結構上視簡圖；

第3A圖至第3H圖是本發明第一實施例之薄膜電晶體液晶顯示器之畫素結構的製造流程剖面示意圖，且其係為第2圖由I-I'之剖面示意圖；

第4圖是本發明第一實施例之畫素儲存電容器結構的剖面示意圖，且其係為第2圖由II-II'之剖面示意圖；

第5圖是依照本發明一第二實施例之薄膜電晶體液晶顯示器之畫素結構上視簡圖；

第6A圖至第6J圖是本發明第二實施例之薄膜電晶體液晶顯示器之畫素結構的製造流程剖面示意圖，且其係為第5圖由I-I'之剖面示意圖；以及

第7圖是本發明第二實施例之畫素儲存電容器結構的剖面示意圖，且其係為第5圖由II-II'之剖面示意圖。



六、申請專利範圍

1. 一種畫素結構的製造方法，包括下列步驟：

在一基板上形成一閘極以及與該閘極連接之一掃瞄配線；

在該基板上形成一絕緣層，覆蓋該閘極與該掃瞄配線；

在該閘極上方之該絕緣層上形成一通道層；

在該通道層上形成一源極/汲極，並且同時在該絕緣層上形成與該源極/汲極連接之一資料配線，其中該閘極、該通道層以及該源極/汲極係構成一薄膜電晶體；

在該基板上形成一保護層，覆蓋該薄膜電晶體；

在該保護層上形成一光阻層；

以該閘極、該源極/汲極、該掃瞄配線以及該資料配線為一罩幕，進行一背面曝光製程以及一顯影製程，以圖案化該光阻層；

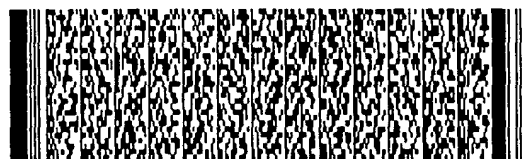
以該光阻層為一蝕刻罩幕圖案化該保護層與該絕緣層，並使該源極/汲極之一側壁暴露出來；

移除該光阻層；以及

在該保護層上形成一畫素電極，其中該畫素電極係藉由該汲極之該側壁而與該汲極電性連接。

2. 如申請專利範圍第1項所述之畫素結構的製造方法，其中在形成該畫素電極之前更包括在該保護層中形成一開口，暴露出該汲極，其中該畫素電極與該汲極之間係藉由該開口以及該汲極之該側壁而與該汲極電性連接。

3. 如申請專利範圍第1項所述之畫素結構的製造方



六、申請專利範圍

法，其中在形成該源極/汲極的同時，更包括在與該掃瞄配線相鄰之另一掃瞄配線之上方形形成一導電層，而該導電層、該另一掃瞄配線以及形成在該導電層與該另一掃瞄配線之間之該絕緣層係構成一畫素儲存電容器結構。

4. 如申請專利範圍第3項所述之畫素結構的製造方法，其中該導電層之一側壁係與該畫素電極電性連接。

5. 如申請專利範圍第1項所述之畫素結構的製造方法，其中該資料配線延伸至該基板之邊緣處係定義成一金屬鉑墊，且該金屬鉑墊之側壁係與該畫素電極電性連接。

6. 如申請專利範圍第1項所述之畫素結構的製造方法，其中該掃瞄配線延伸至該基板之邊緣處係定義成一金屬鉑墊，且該金屬鉑墊之側壁係與該畫素電極電性連接。

7. 如申請專利範圍第1項所述之畫素結構的製造方法，其中在該通道層上更包括形成有一歐姆接觸層。

8. 如申請專利範圍第1項所述之畫素結構的製造方法，其中在該通道層上更包括形成有一蝕刻終止層。

9. 一種畫素結構的製造方法，包括下列步驟：

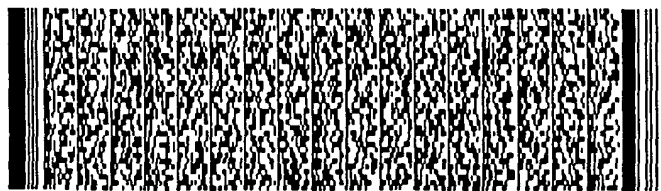
在一基板上形成一閘極以及與該閘極連接之一掃瞄配線；

在該基板上形成一絕緣層，覆蓋該閘極與該掃瞄配線；

在該絕緣層上形成一通道材質層；

在該通道材質層上形成一金屬層；

在該金屬層上形成圖案化之一第一光阻層；



六、申請專利範圍

以該第一光阻層為一罩幕圖案化該金屬層，以定義出一資料配線以及一源極/汲極金屬層；

以該第一光阻層為一罩幕圖案化該通道材質層以定義出一通道層；

以該第一光阻層為一罩幕圖案化該源極/汲極金屬層，以定義出一源極/汲極，其中該源極係與該資料配線電性連接，且該閘極、該通道層以及該源極/汲極係構成一薄膜電晶體；

移除該第一光阻層；

在該基板上形成一保護層，覆蓋該薄膜電晶體；

在該保護層上形成一第二光阻層；

以該閘極、該源極/汲極、該掃描配線以及該資料配線為一罩幕，進行一背面曝光製程以及一顯影製程，以圖案化該第二光阻層；

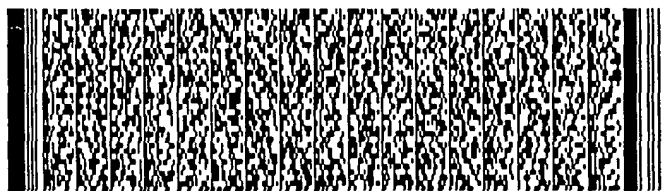
以該第二光阻層為一蝕刻罩幕圖案化該保護層與該絕緣層，並使該源極/汲極之一側壁暴露出來；

移除該第二光阻層；以及

在該保護層上形成一畫素電極，其中該畫素電極係藉由該汲極之該側壁而與該汲極電性連接。

10. 如申請專利範圍第9項所述之畫素結構的製造方法，其中在形成該畫素電極之前更包括在該保護層中形成一開口，暴露出該汲極，其中該畫素電極與該汲極之間係藉由該汲極之該側壁以及該開口而與該汲極電性連接。

11. 如申請專利範圍第9項所述之畫素結構的製造方



六、申請專利範圍

法，其中在形成該源極/汲極的同時，更包括在與該掃瞄配線相鄰之另一掃瞄配線之上方形形成一導電層，而該導電層、該另一掃瞄配線以及形成在該導電層與該另一掃瞄配線之間之該絕緣層係構成一畫素儲存電容器結構。

12. 如申請專利範圍第11項所述之畫素結構的製造方法，其中該導電層之一側壁係與該畫素電極電性連接。

13. 如申請專利範圍第9項所述之畫素結構的製造方法，其中該資料配線延伸至該基板之邊緣處係定義成一金屬鉚墊，且該金屬鉚墊之一側壁係與該畫素電極電性連接。

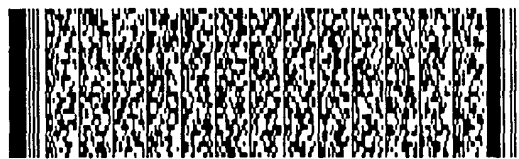
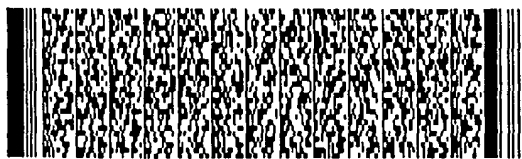
14. 如申請專利範圍第9項所述之畫素結構的製造方法，其中該掃瞄配線延伸至該基板之邊緣處係定義成一金屬鉚墊，且該金屬鉚墊之一側壁係與該畫素電極電性連接。

15. 如申請專利範圍第9項所述之畫素結構的製造方法，其中以該第一光阻層定義出該源極/汲極以及該通道層之步驟包括：

在該金屬層上形成圖案化之該第一光阻層，其中該第一光阻層對應於該閘極處之厚度較對應於形成該源極/汲極與該資料配線之處之厚度薄；

進行一第一蝕刻步驟圖案化該金屬層，以定義出該資料配線與該源極/汲極金屬層；

進行一第二蝕刻步驟圖案化該通道材質層，以定義出該通道層之位置，並同時移除該第一光阻層之部分厚度，



六、申請專利範圍

以使對應於該閘極上方之該源極/汲極金屬層暴露出來；
以及

進行一第三蝕刻步驟，圖案化該源極/汲極金屬層，
以定義出該源極/汲極，並同時移除該通道層之部分厚度。

16. 如申請專利範圍第9項所述之畫素結構的製造方法，其中在該通道層上更包括形成有一歐姆接觸層。

17. 一種畫素結構，適於架構在一基板上，該畫素結構包括：

一薄膜電晶體，配置在該基板上，該薄膜電晶體包括一閘極、一通道層以及一源極/汲極；

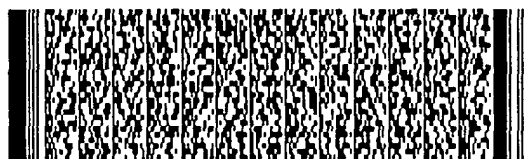
一掃描配線，配置在該基板上，該掃描配線係與該閘極電性連接；

一資料配線，配置在該基板上，該資料配線係與該源極電性連接；

一絕緣層，僅配置在配置有該閘極、該源極/汲極、該資料配線與該掃描配線處之該基板上方，且該絕緣層係覆蓋在該閘極與該掃描配線之表面；

一保護層，僅配置在配置有該閘極、該源極/汲極、該資料配線與該掃描配線處之該基板上方，且該保護層係覆蓋在該源極/汲極與該資料配線之表面，其中該源極/汲極之一側壁係暴露出來；以及

一畫素電極，配置在該基板之上方，其中該畫素電極係對應該薄膜電晶體配置，且該畫素電極係與該薄膜電晶



六、申請專利範圍

體之該汲極之該側壁電性連接。

18. 如申請專利範圍第17項所述之畫素結構，其中更包括一導電結構，配置在該保護層中，其中該畫素電極與該汲極係藉由該導電結構以及該汲極之該側壁而與該汲極電性連接。

19. 如申請專利範圍第17項所述之畫素結構，其中更包括一導電層，配置在與該掃描配線相鄰之另一掃描配線之上方，而該導電層、該另一掃描配線以及在該導電層與該另一掃描配線之間之該絕緣層係構成一畫素儲存電容器結構。

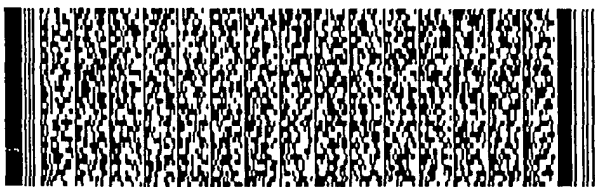
20. 如申請專利範圍第19項所述之畫素結構，其中該導電層之一側壁係與該畫素電極電性連接。

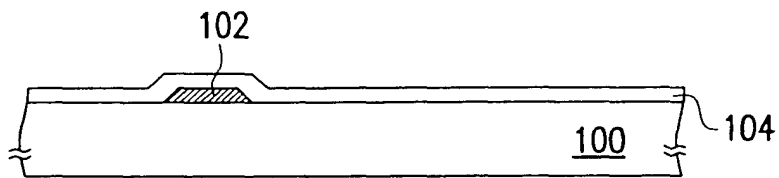
21. 如申請專利範圍第19項所述之畫素結構，其中更包括一金屬鐳墊，配置在該基板之邊緣處，該金屬鐳墊係與該資料配線電性連接，且該金屬鐳墊之一側壁係與該畫素電極電性連接。

22. 如申請專利範圍第19項所述之畫素結構，其中更包括一金屬鐳墊，配置在該基板之邊緣處，該金屬鐳墊係與該掃描配線電性連接，且該金屬鐳墊之側壁係與該畫素電極電性連接。

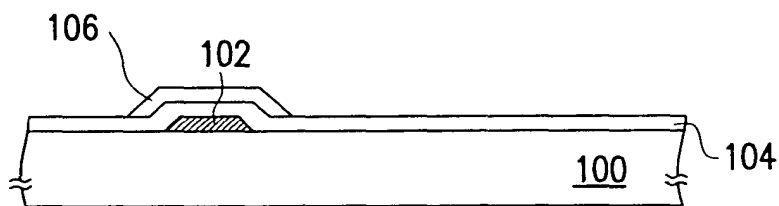
23. 如申請專利範圍第19項所述之畫素結構，其中更包括一歐姆接觸層，配置在該通道層上。

24. 如申請專利範圍第19項所述之畫素結構，其中更包括一蝕刻終止層，配置在該通道層上。

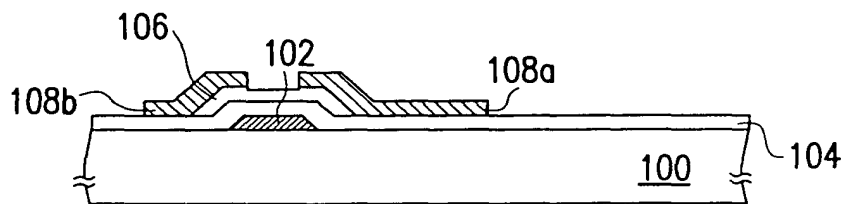




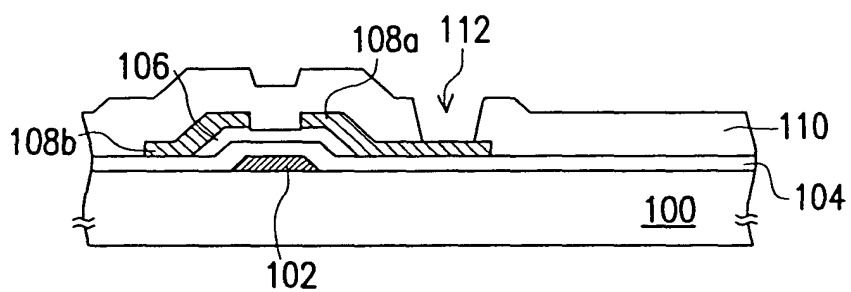
第 1A 圖



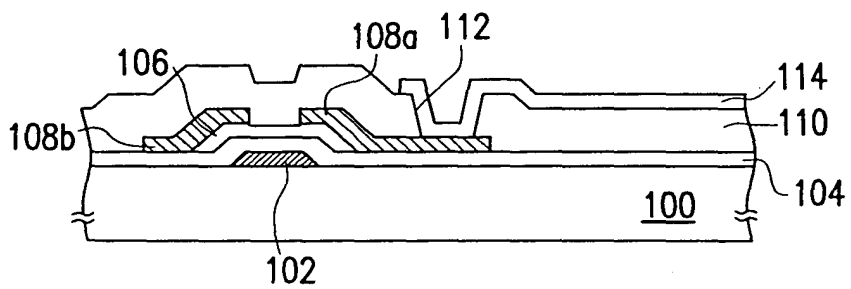
第 1B 圖



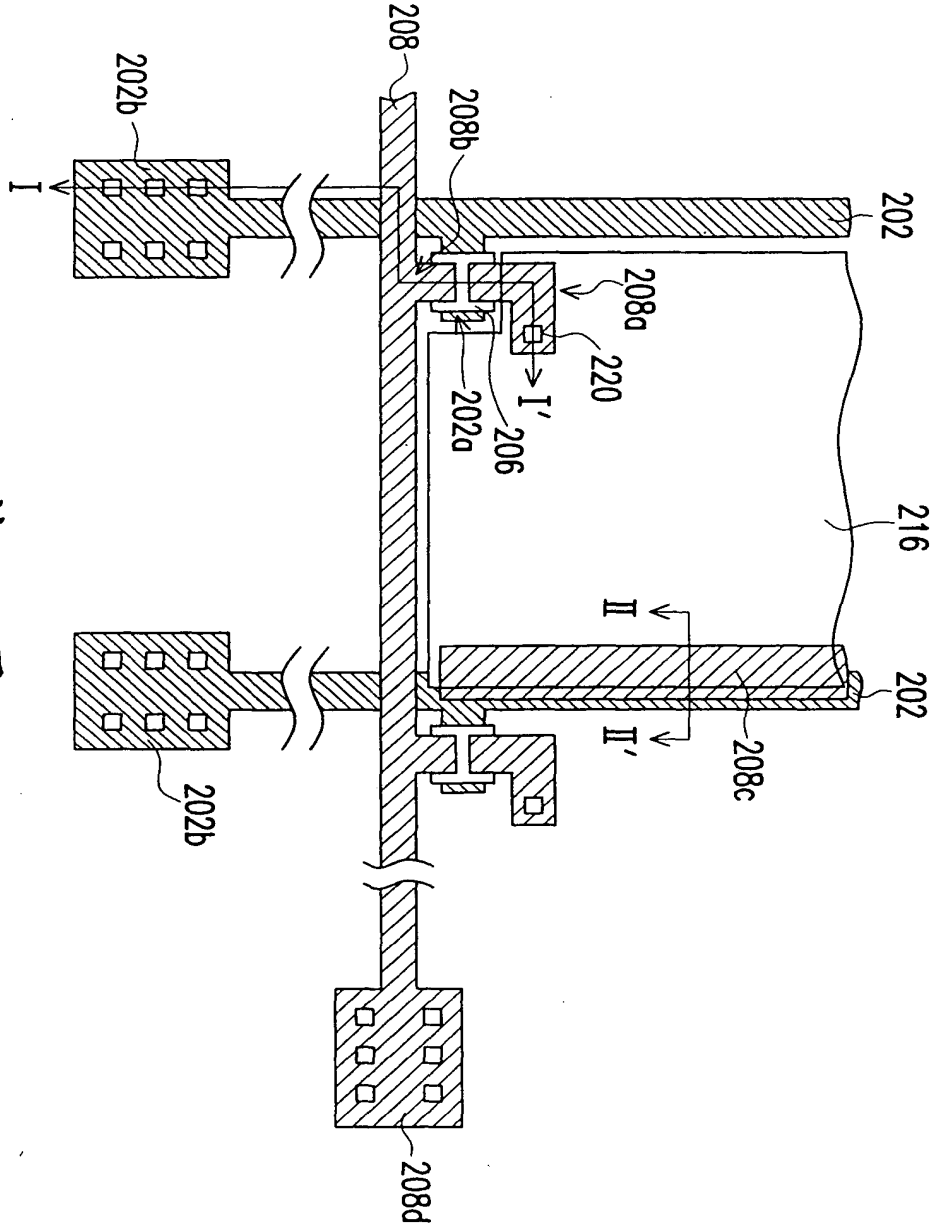
第 1C 圖



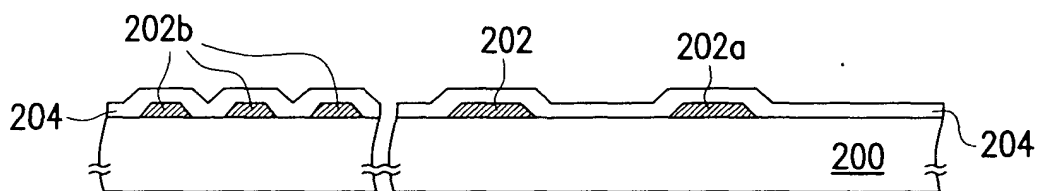
第 1D 圖



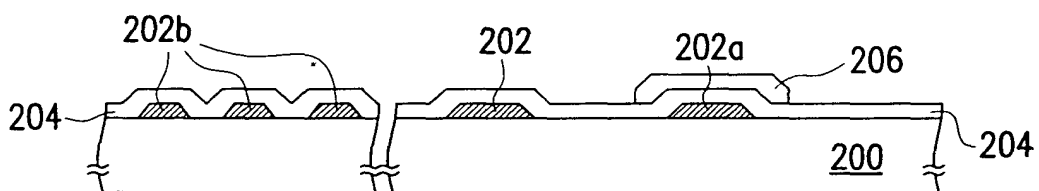
第 1E 圖



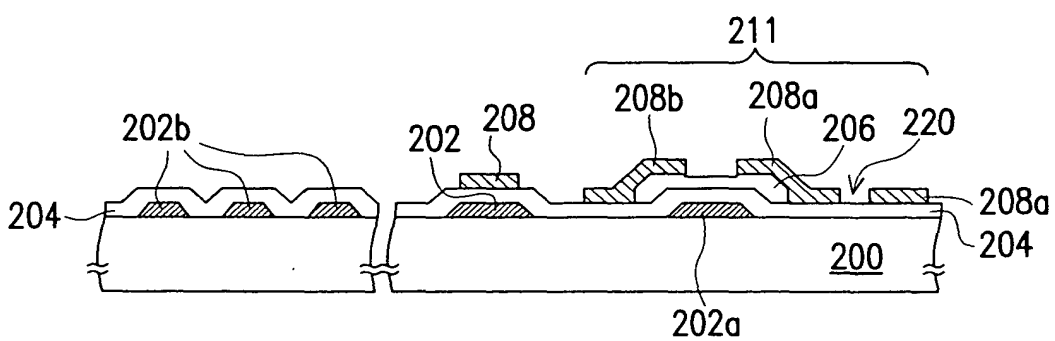
第 2 圖



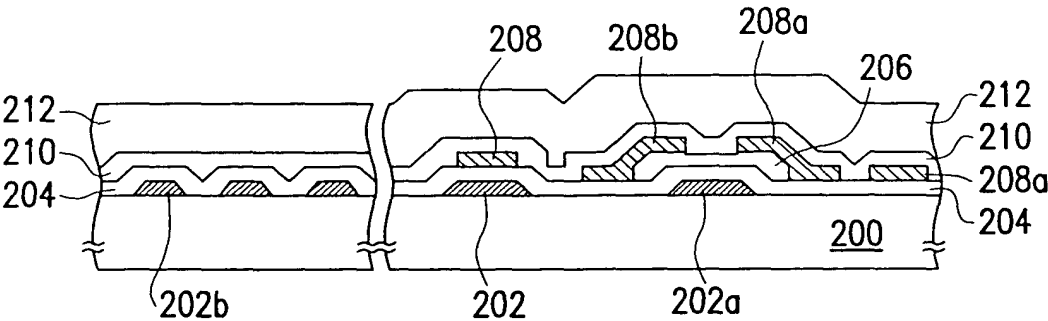
第 3A 圖



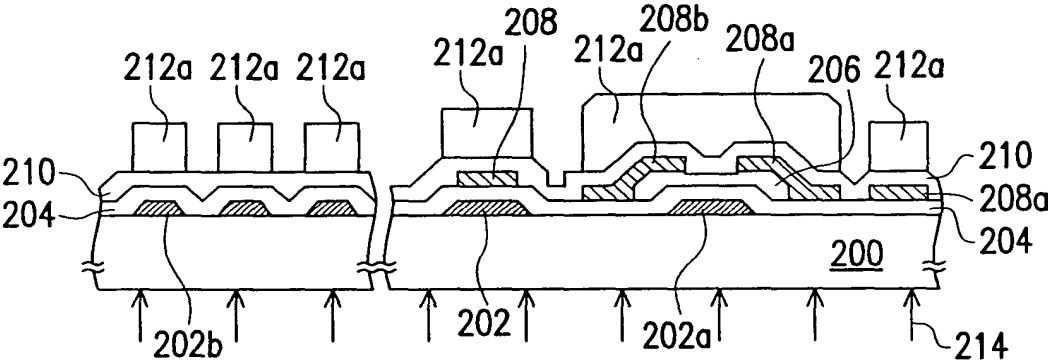
第 3B 圖



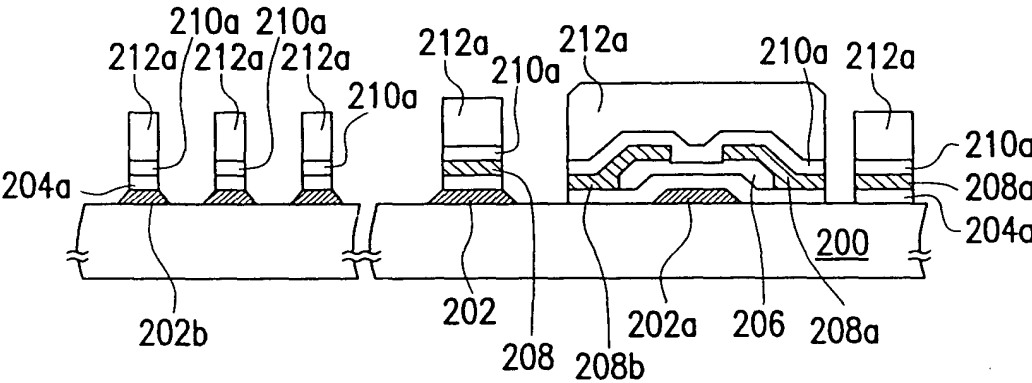
第 3C 圖



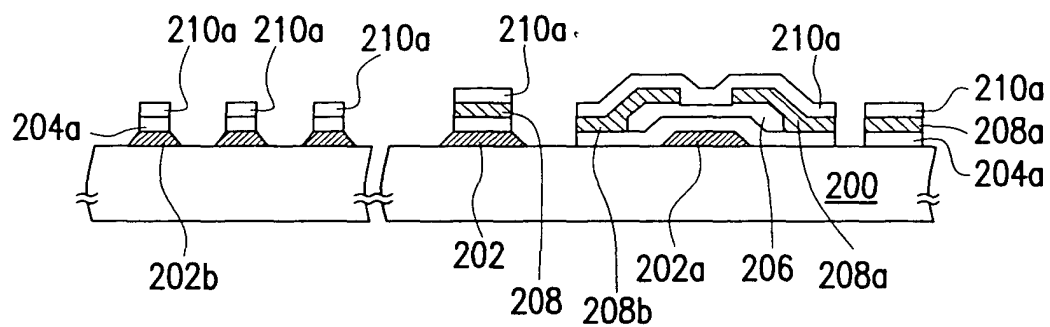
第 3D 圖



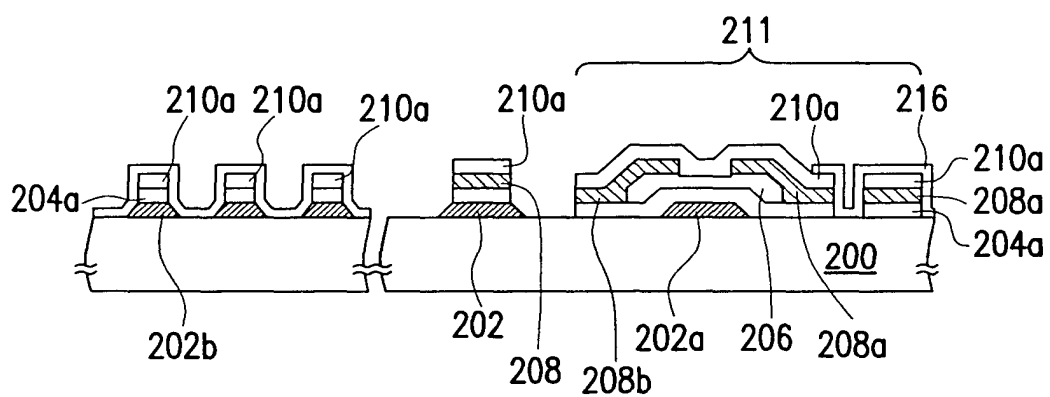
第 3E 圖



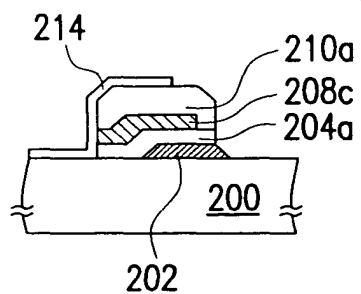
第 3F 圖



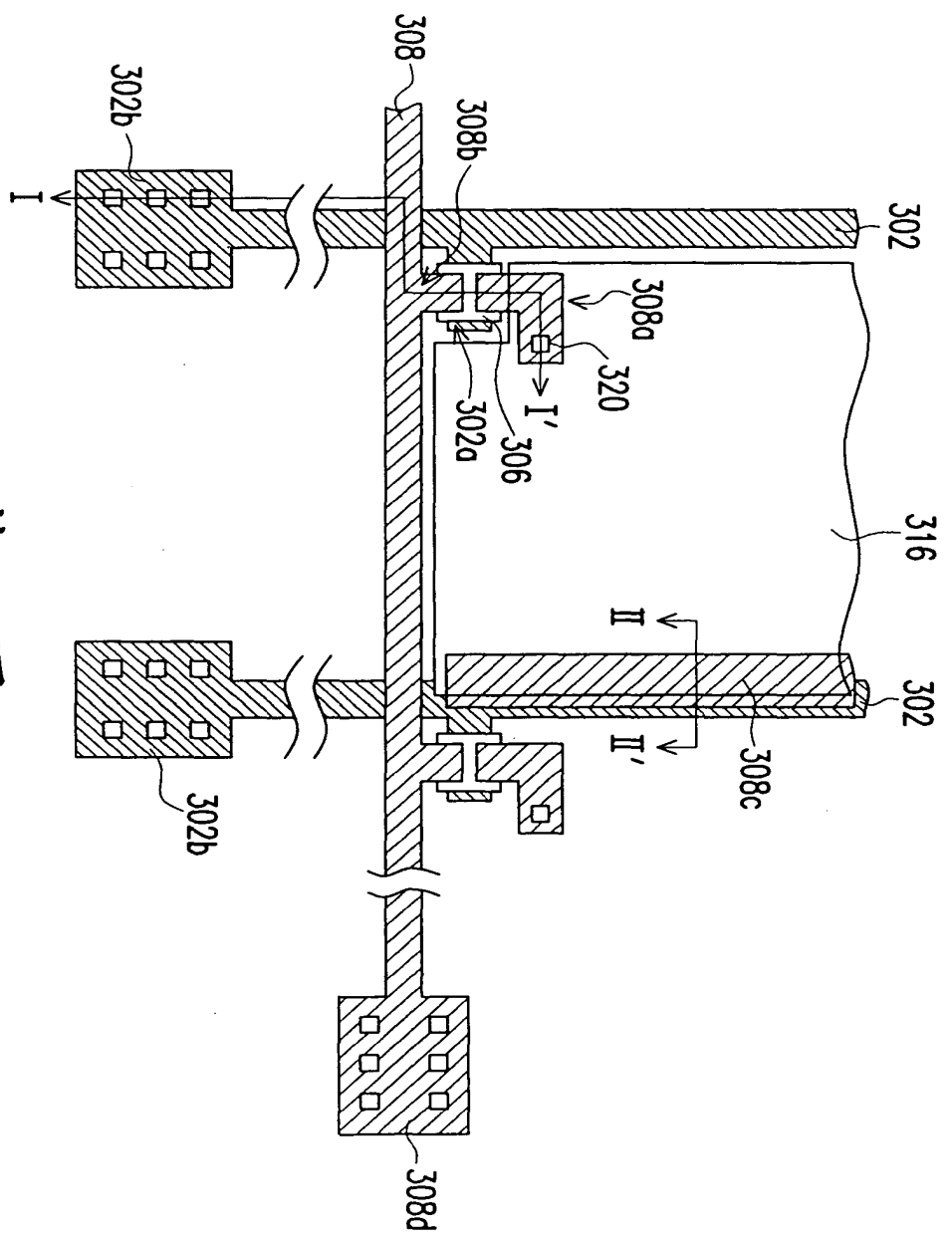
第 3G 圖



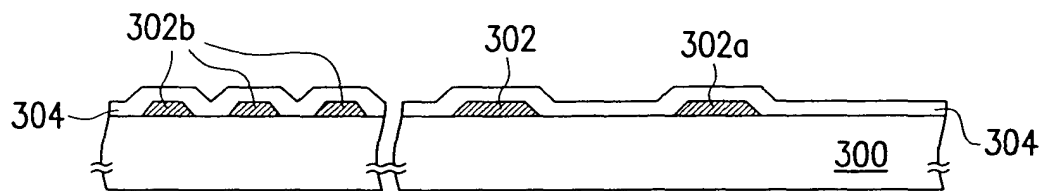
第3H圖



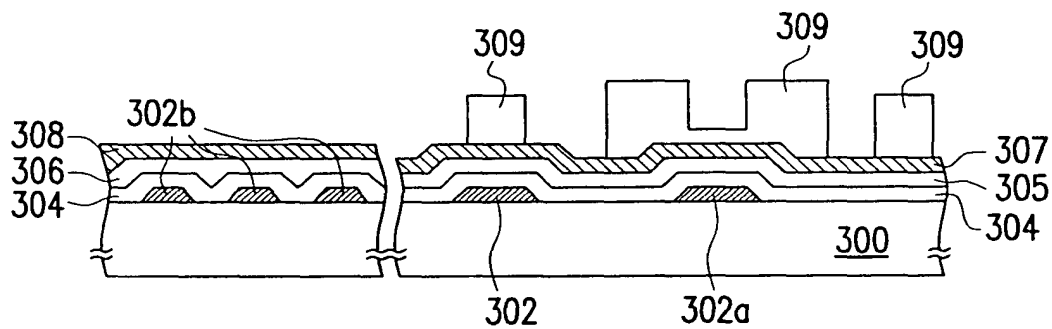
第 4 圖



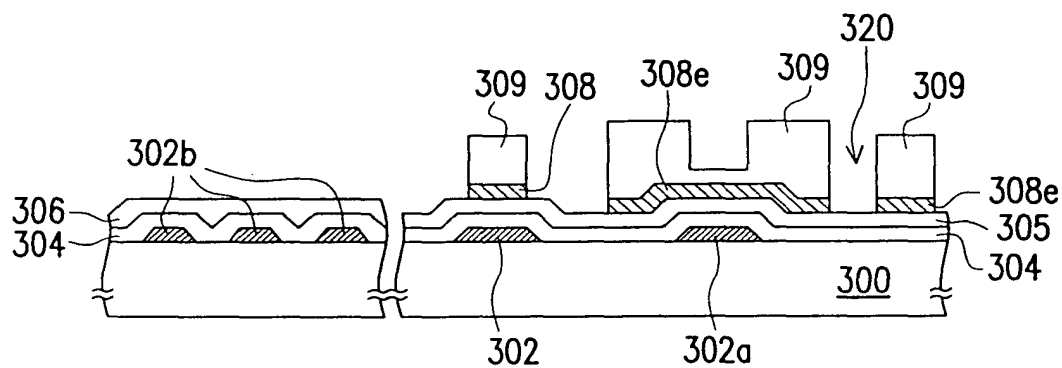
第 5 圖



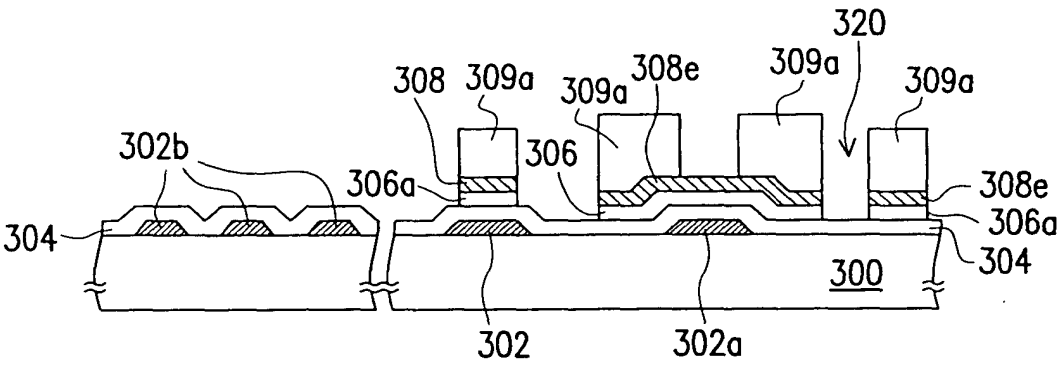
第 6A 圖



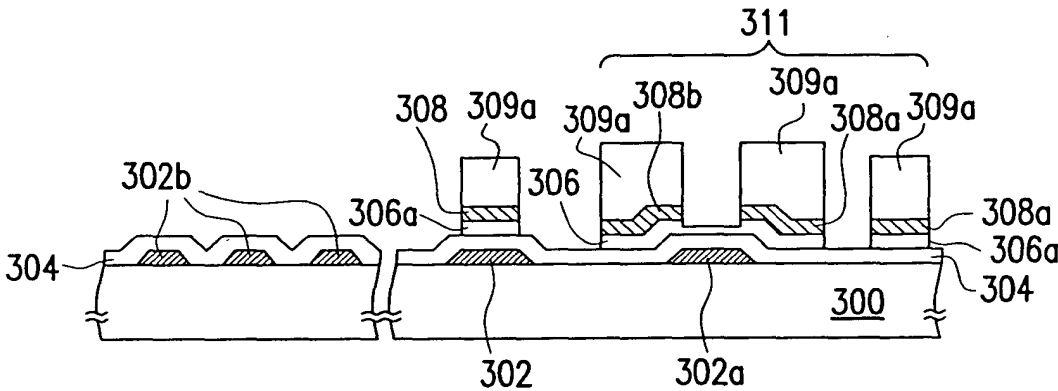
第 6B 圖



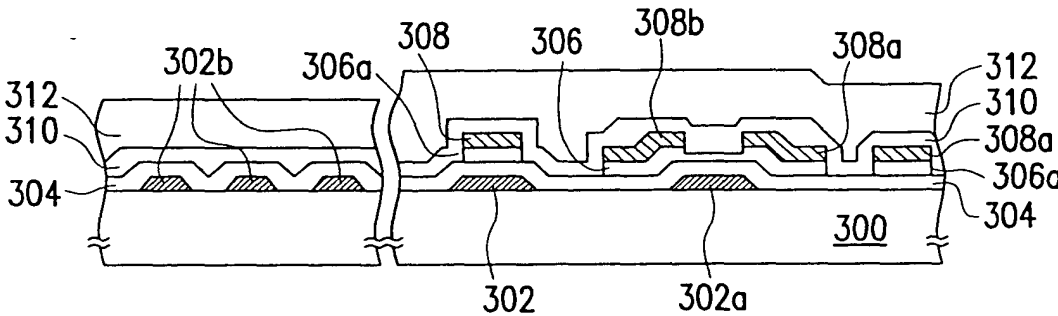
第 6C 圖



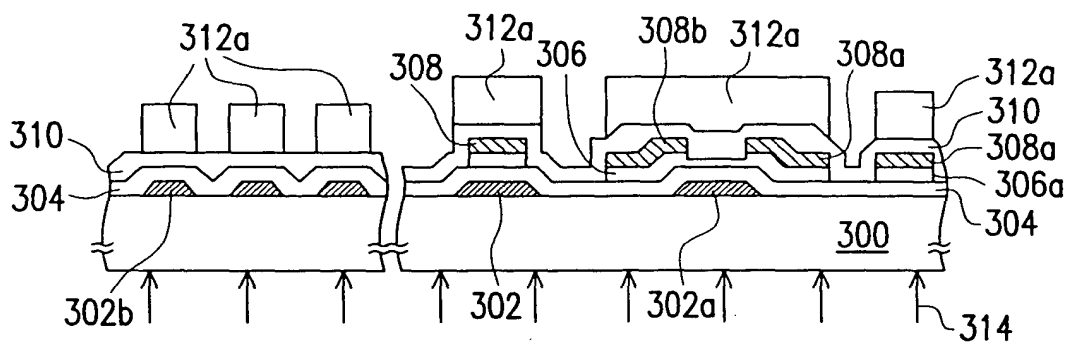
第 6D 圖



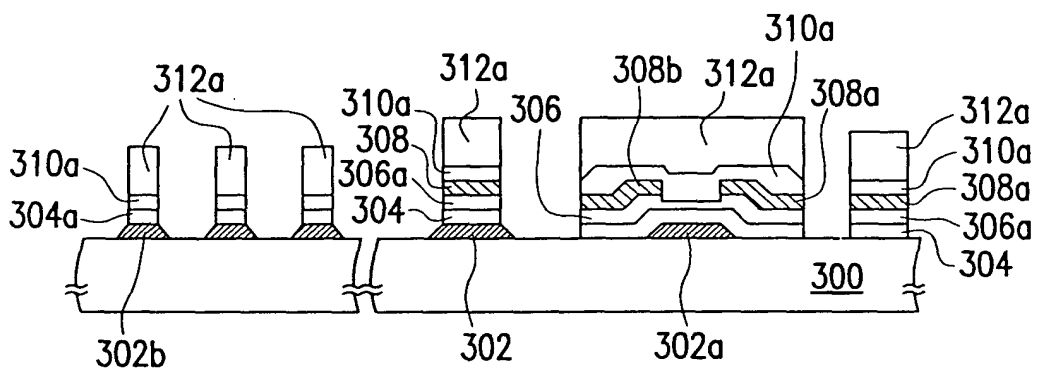
第 6E 圖



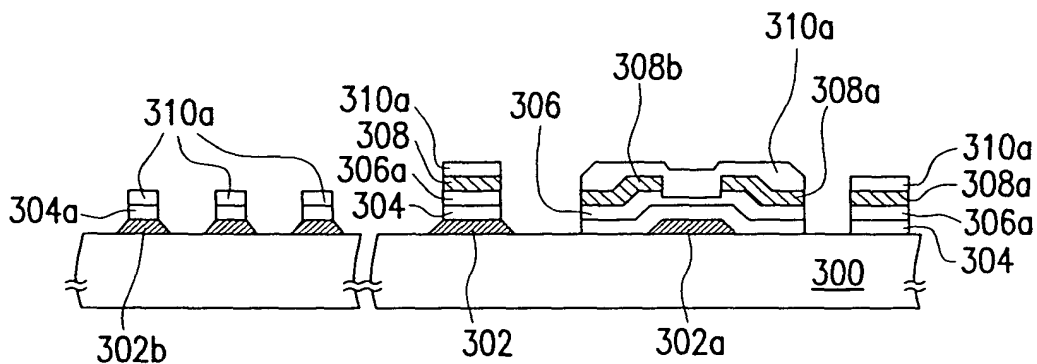
第 6F 圖



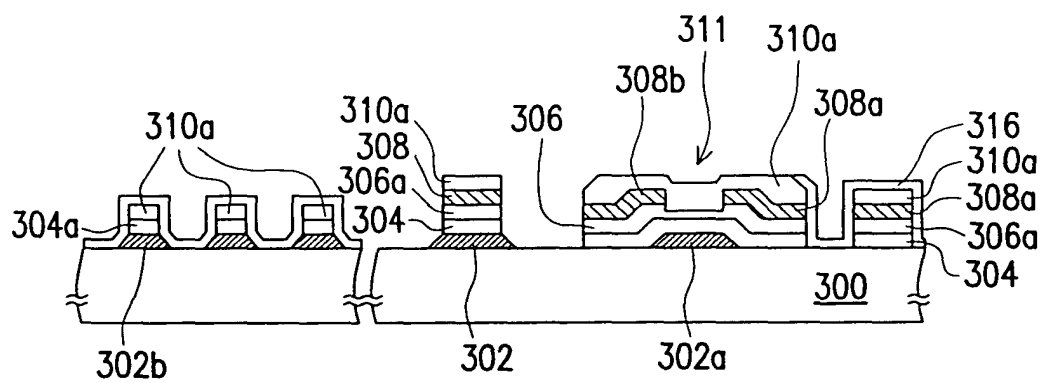
第 6G 圖



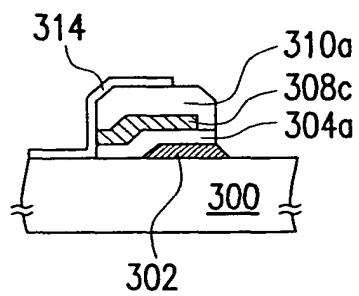
第 6H 圖



第 6I 圖



第 6J 圖

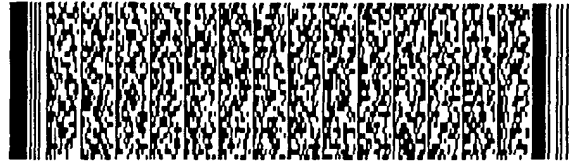


第 7 圖

第 1/29 頁



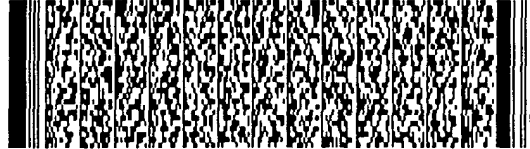
第 2/29 頁



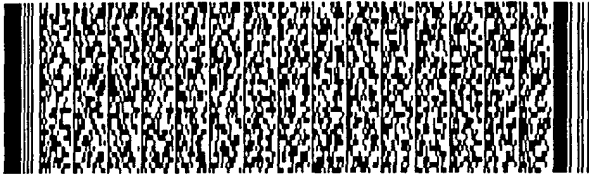
第 2/29 頁



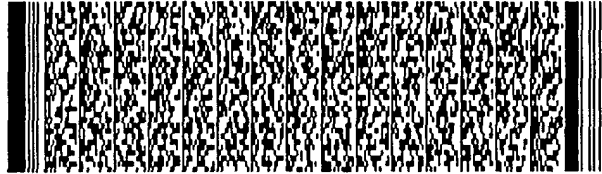
第 3/29 頁



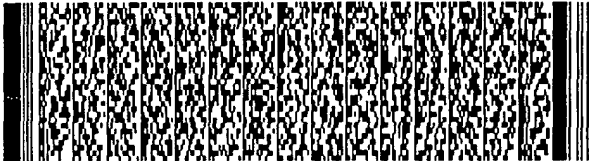
第 5/29 頁



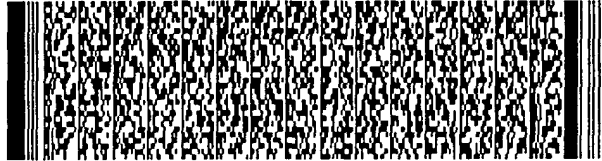
第 5/29 頁



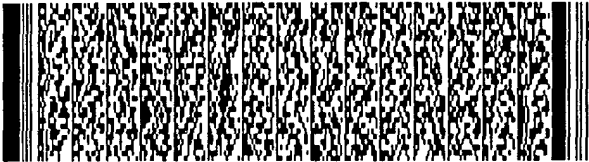
第 6/29 頁



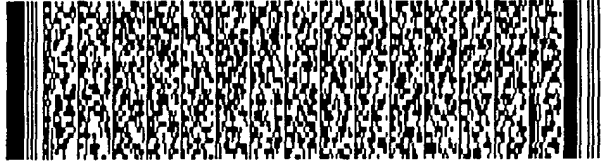
第 6/29 頁



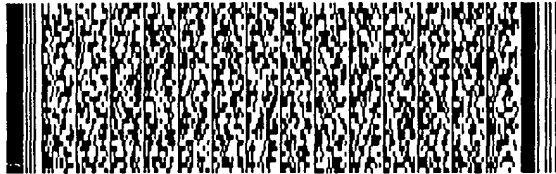
第 7/29 頁



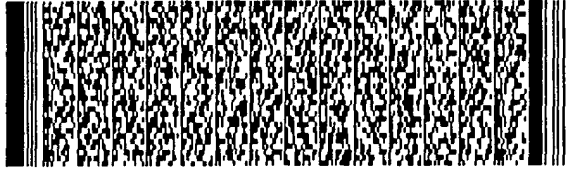
第 7/29 頁



第 8/29 頁



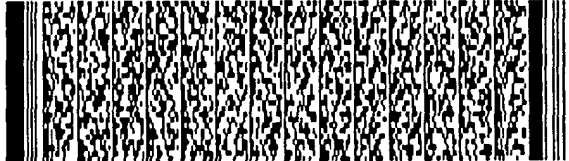
第 8/29 頁



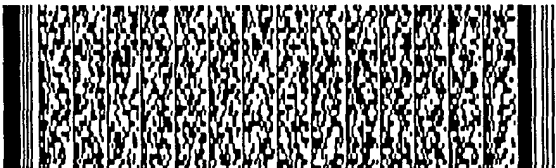
第 9/29 頁



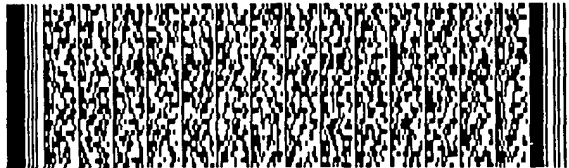
第 9/29 頁



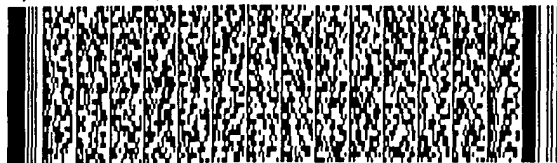
第 10/29 頁



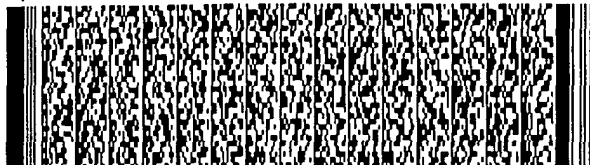
第 10/29 頁



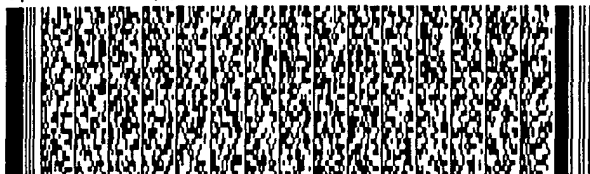
第 11/29 頁



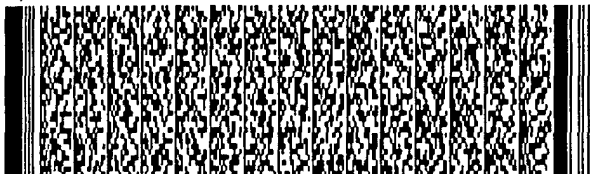
第 12/29 頁



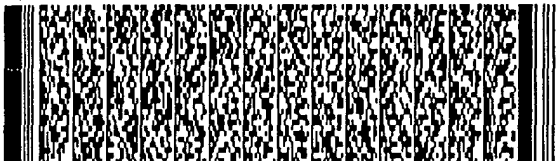
第 13/29 頁



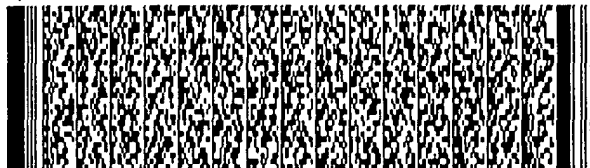
第 14/29 頁



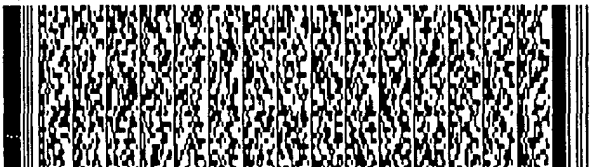
第 15/29 頁



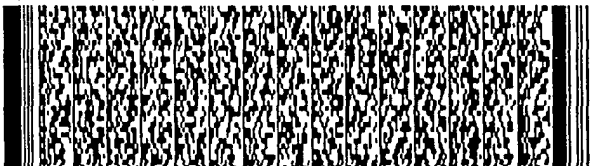
第 16/29 頁



第 17/29 頁



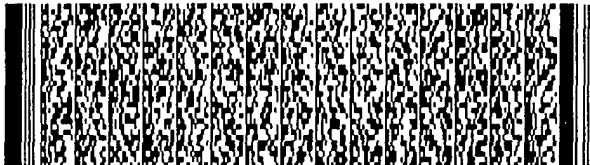
第 18/29 頁



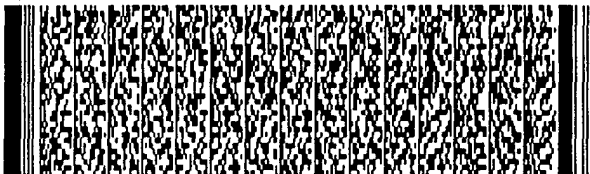
第 11/29 頁



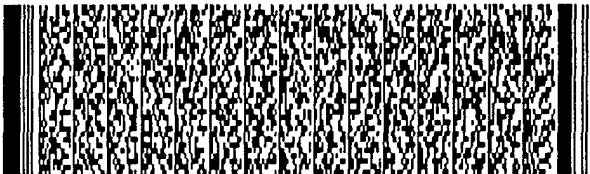
第 12/29 頁



第 13/29 頁



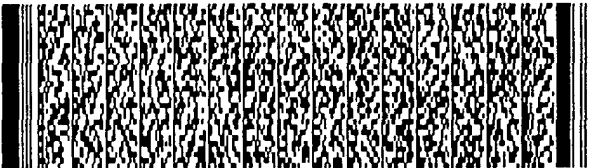
第 14/29 頁



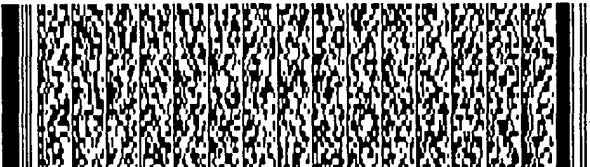
第 15/29 頁



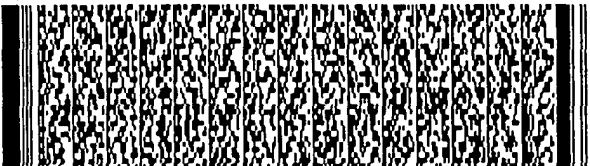
第 16/29 頁



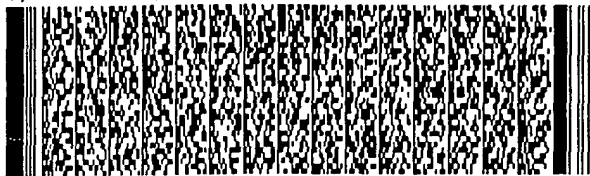
第 17/29 頁



第 18/29 頁



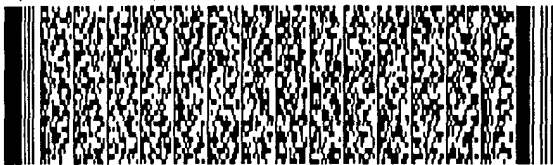
第 19/29 頁



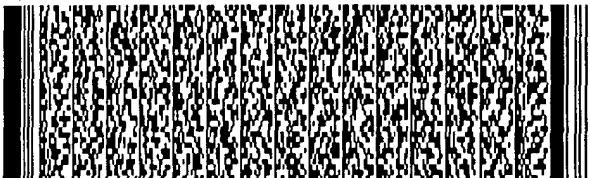
第 20/29 頁



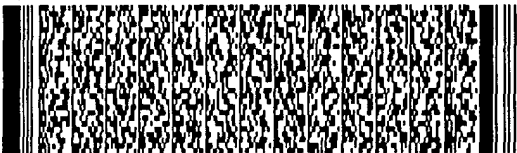
第 21/29 頁



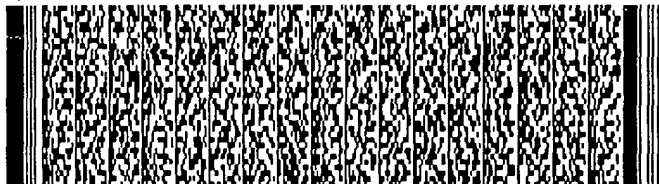
第 22/29 頁



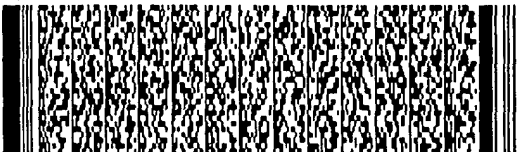
第 24/29 頁



第 25/29 頁



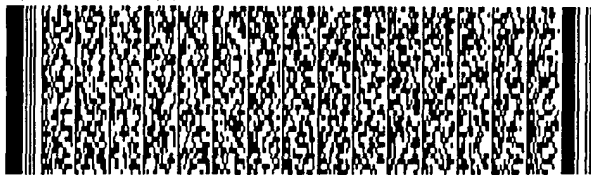
第 27/29 頁



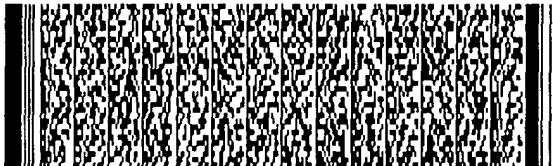
第 28/29 頁



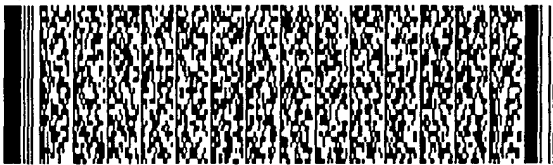
第 19/29 頁



第 20/29 頁



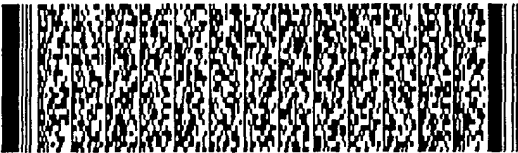
第 21/29 頁



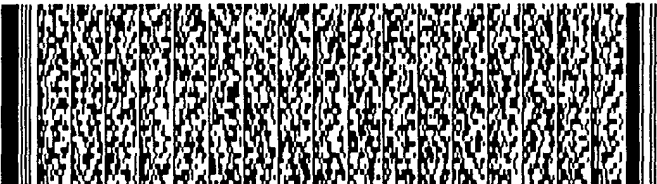
第 23/29 頁



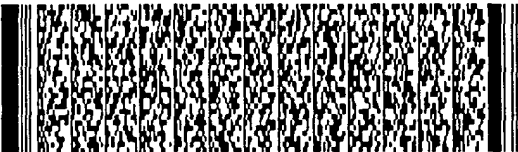
第 24/29 頁



第 26/29 頁



第 27/29 頁



第 28/29 頁

